

Family list

1 family member for:

JP61059912

Derived from 1 application.

1 TTL CIRCUIT

Publication info: **JP61059912 A** - 1986-03-27

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

TTL CIRCUIT

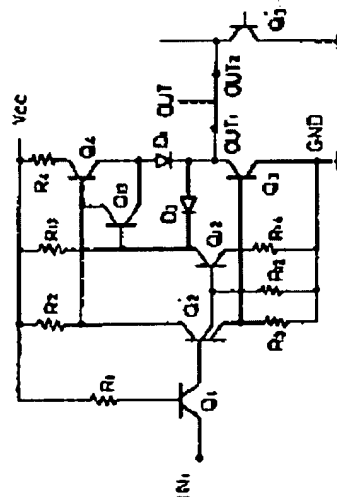
Patent number: JP61059912
Publication date: 1986-03-27
Inventor: YASUDA YASUSHI; OBA OSAMU; TAWARA AKINORI;
ENOMOTO HIROSHI; KUMAGAI MASAO
Applicant: FUJITSU LTD
Classification:
- **International:** H03K19/088
- **European:** H03K19/003B; H03K19/088
Application number: JP19840180640 19840831
Priority number(s): JP19840180640 19840831

[Report a data error here](#)

Abstract of JP61059912

PURPOSE: To attain wired logical operation by providing a transistor (TR) cutting off an off-buffer (TR) of other TTL circuit when an output of one TTL circuit is at a low level.

CONSTITUTION: When an output OUT2 of one TTL circuit is at a low level and an input IN1 of the other TTL circuit is at a low level, a TRQ1 is conductive a base current of a TRQ2' is pulled down to the low level, the TRQ2' is turned off, both TRs Q12 and Q3 are cut off and the base potential of the TRs Q4, Q13 is at a high level. Thus, a switching TRQ13 cutting off the pull-up TRQ4 is turned on, a base and an emitter of the TRQ4 are short-circuited to bypass the base current. Thus, even if the output OUT1 is at a high level and the OUT2 is at a low level, a large current flowing from a power supply VCC to the output OUT1 is prevented to attain the wired logic operation.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE IS BLANK

⑫ 公開特許公報(A)

昭61-59912

⑬ Int.Cl.⁴
H 03 K 19/088

識別記号

庁内整理番号
8326-5J

⑭ 公開 昭和61年(1986)3月27日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 TTL回路.

⑯ 特 願 昭59-180640

⑰ 出 願 昭59(1984)8月31日

⑱ 発 明 者	保 田 康	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	大 場 収	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	田 原 昭 紀	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	榎 本 宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	熊 谷 正 雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁理士 青 木 朗	外 3 名	

明 細 書

1. 発明の名称

TTL回路

2. 特許請求の範囲

1. インバータトランジスタとプルアップ用トランジスタとを有するトーテムポール形出力回路部、該インバータトランジスタと該プルアップ用トランジスタに互に逆相の駆動信号を供給する位相反転回路部、該インバータトランジスタと略同相で動作する制御回路部、および該制御回路部の出力と出力端子間の電圧に応じて導通し該プルアップ用トランジスタをカットオフするスイッチングトランジスタを具備することを特徴とするTTL回路。

2. 該スイッチングトランジスタは該プルアップ用トランジスタよりも遅延して導通することを特徴とする特許請求の範囲第1項に記載のTTL回路。

3. 該位相反転回路部はマルチエミッタトランジスタであってそのコレクタ出力によって該プル

アップトランジスタを駆動し、第1のエミッタ出力によって該インバータトランジスタを駆動し、第2のエミッタ出力によって該制御トランジスタを駆動し、第2のインバータトランジスタのコレクタ出力によって該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

4. 該位相反転回路部は第1のトランジスタおよび第1のダイオードを有し、該第1のダイオードのアノードによって該プルアップ用トランジスタを駆動し該第1のトランジスタのコレクタ出力によって該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

5. 該位相反転回路部は第1のトランジスタおよび第1のダイオード、第1および、第2の容量を有し、該第1のトランジスタのコレクタ出力によって該プルアップ用トランジスタを駆動し、該第1のダイオードのアノードによって該スイッチングトランジスタを駆動することを特徴とする特

許請求の範囲第1項または第2項に記載のTTL回路。

6. 該位相反転回路部は略同相で動作する第1および第2のトランジスタを有し、該第1のトランジスタのコレクタ出力によって該プルアップトランジスタを駆動し、該第2のトランジスタは制御トランジスタとしても動作しエミッタ出力によって該インバータトランジスタを駆動するとともにコレクタ出力により該スイッチングトランジスタを駆動することを特徴とする特許請求の範囲第1項または第2項に記載のTTL回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、TTL回路に関し、特にオフパッファ回路を有するいわゆるトーテムポール型出力回路を備えかつワイヤード論理動作を可能としたTTL回路に関する。

(従来の技術)

第6図は、従来形のTTL回路の1例を示す。同図の回路は、入力トランジスタ Q_1 、位相反転回

ところで、第6図に示すTTL回路において、ワイヤード論理動作を行なうためその出力 OUT_1 を他の同様のTTL回路の出力 OUT_2 と接続した場合を考える。この場合、2つの出力 OUT_1 および OUT_2 が共に高レベルまたは低レベルの場合は問題はないが、一方の出力例えば OUT_1 が高レベルであって、他方の出力 OUT_2 が低レベルの場合、すなわちトランジスタ Q_4 がオン状態でありかつ他のTTL回路のインバータトランジスタ Q_3' がオンである場合には、電源 V_{CC} から抵抗 R_1 、トランジスタ Q_4 、ダイオード D_1 、各出力端子 OUT_1 、 OUT_2 、およびトランジスタ Q_3' の経路で大電流が流れるためワイヤード論理動作を行なわせることが不可能となる。すなわち、この場合に流れる電流はいわゆるIOS、すなわちTTL回路において出力が高レベルの状態では出力端子を短絡した場合の電流、に相当する大電流となり、各出力トランジスタの破壊を生じ、あるいは出力端子の電圧が不安定な状態となる等の不都合があった。

第7図は、従来形のTTL回路の他の例を示す。

路用トランジスタ Q_2 、インバータトランジスタ Q_3 、プルアップ用トランジスタすなわちオフパッファトランジスタ Q_4 、ダイオード D_1 、および抵抗 R_1 、 R_2 、 R_3 、 R_4 を備えている。

第6図の回路において、入力端子 IN_1 が低レベルの場合は、トランジスタ Q_1 がオンとなってトランジスタ Q_2 のベース電圧を低レベルに引き下げる。これにより、トランジスタ Q_2 がカットオフし、エミッタ電圧が低レベルかつコレクタ電圧が高レベルとなる。したがって、トランジスタ Q_3 がカットオフ、トランジスタ Q_4 がオンとなって出力端子 OUT_1 が高レベルとなる。また、逆に入力端子 IN_1 が高レベルの場合はトランジスタ Q_1 がカットオフしトランジスタ Q_2 のベース電流が電源 V_{CC} から抵抗 R_1 、トランジスタ Q_1 のベースコレクタ間回路を介して供給され該トランジスタ Q_2 がオンとなる。これにより、トランジスタ Q_3 がオン、トランジスタ Q_4 がオフとなって出力 OUT_1 の電位が低レベルとなる。このようにして、第6図の回路はインバータとして動作する。

同図の回路は、いわゆる低消費電力型のTTL回路であって、トランジスタ Q_2 、 Q_3 、 \dots 、 Q_{10} 、ダイオード D_2 、および抵抗 R_5 、 R_6 、 \dots 、 R_{11} 等によって構成される。

第7図の回路において、入力端子 IN_1 の電位が低レベルの場合はダイオード D_2 を介してトランジスタ Q_7 のベース電位が低レベルに引き下げられ該トランジスタ Q_7 がオフとなる。したがって、トランジスタ Q_{11} 、 Q_{10} が共にオフ、トランジスタ Q_8 および Q_9 が共にオンとなって出力端子 OUT_1 が高レベルとなる。これに対して入力端子 IN_1 が高レベルの場合はトランジスタ Q_6 がオンとなってトランジスタ Q_7 のベース電位を高レベルに引き上げる。したがって、該トランジスタ Q_7 がオンとなりトランジスタ Q_{10} がオン、かつトランジスタ Q_8 および Q_9 が共にオフとなって出力端子 OUT_1 が低レベルとなる。なお、ダイオード D_2 は入力端子 IN の電位が高レベルから低レベルに変化した場合にトランジスタ Q_7 のベース電荷を急速に放電させるものであり、トランジスタ

Q₁ は入力端子 IN₁ の電位が低レベルから高レベルに変化した場合にオンとなってトランジスタ Q₁ のベース電位を急速に高レベルに引き上げる動作を行なうものである。また、トランジスタ Q₁₁ は、入力端子 IN₁ の電位が高レベルから低レベルに変化する時にインバータトランジスタ Q₁₀ のベース電荷を急速に放電するためのものである。

第7図に示す TTL 回路においても、その出力端子 OUT₁ を他の TTL 回路の出力端子 OUT₂ と接続してワイヤード論理動作を行なう場合には前述と同様の不都合が生ずる。すなわち、例えば、トランジスタ Q₁ および Q₂ が共にオン状態でありかつ他の TTL 回路のインバータトランジスタ Q₁₀' がオンである場合には電源 V_{cc} から抵抗 R₁、トランジスタ Q₁、Q₂、各出力端子 OUT₁、OUT₂、およびトランジスタ Q₁₀' を介して大電流が流れる。

以上のように、従来形のオフバッファ回路を有する TTL 回路においてはワイヤード論理動作を行なわせることが不可能であった。

尚、上記制御回路部を駆動する駆動信号は、位相反転回路部及び出力回路部から供給される。

(作用)

上述のような構成を用いることにより、出力端子が互いに接続された複数の TTL 回路の 1 つの出力が低レベルである場合には他の TTL 回路のオフバッファトランジスタがカットオフするように動作し、以ってワイヤード論理動作が実現されると共に出力トランジスタに大電流が流れることが防止される。

(実施例)

以下、図面により本発明の実施例を説明する。

第2図は、本発明の1実施例に係わる TTL 回路を示すものであって、前述の第6図の従来形の回路を改良したものである。第2図の回路は、第6図の回路における位相反転用トランジスタ Q₁ をマルチエミッタトランジスタ Q₁' と置き換えさらにトランジスタ Q₁₂、Q₁₃、およびダイオード D₁、抵抗 R₁₂、R₁₃、R₁₄ を追加したものである。マルチエミッタトランジスタ Q₁' の一つのエミッタ

(発明が解決しようとする問題点)

本発明は、前述の従来形における問題点に鑑み、オフバッファ回路を有する TTL 回路において、所定の条件下で該オフバッファ回路のトランジスタをカットオフするためのトランジスタを設けるという構想に基づき、オフバッファ回路の特徴である高速度性を維持しつつワイヤード論理動作を可能とすることを目的とする。

(問題点を解決するための手段)

本発明によれば、第1図にその構成を示すようにインバータトランジスタとプルアップ用トランジスタとを有するトータムポール形出力回路部、該インバータトランジスタと該プルアップ用トランジスタに互に逆相の駆動信号を供給する位相反転回路部、該インバータトランジスタと略同相で動作する制御回路部、および該制御回路部の出力と出力端子間の電圧に応じて導通し該プルアップ用トランジスタをカットオフするスイッチングトランジスタを具備することを特徴とする TTL 回路が提供される。

は抵抗 R₁ を介して接地されると共にインバータトランジスタ Q₁ のベースに接続されている。マルチエミッタトランジスタ Q₁' の他のエミッタは抵抗 R₁₂ を介して接地されると共にトランジスタ Q₁₂ のベースに接続されている。トランジスタ Q₁₂ のエミッタは抵抗 R₁₄ を介して接地され、コレクタはトランジスタ Q₁₃ のベースおよびダイオード D₁ のカソードに接続され、また抵抗 R₁₃ を介して電源 V_{cc} に接続されている。ダイオード D₁ のアノードは出力端子 OUT₁ に接続されている。トランジスタ Q₁₃ のコレクタおよびエミッタはそれぞれオフバッファ用トランジスタ Q₄ のベースおよびエミッタに接続されている。オフバッファ用トランジスタ Q₄ のベースは前述のマルチエミッタトランジスタ Q₁' のコレクタに接続されている。

第2図の TTL 回路においては、入力端子 IN₁ の電位が低レベルにある場合は、トランジスタ Q₁ がオンしてマルチエミッタトランジスタ Q₁' のベース電位は低レベルとなり、トランジスタ Q₁₂ が

カットオフまた、トランジスタ Q_3 およびトランジスタ Q_{12} のベース電位も低レベルとなって、トランジスタ Q_3 、 Q_{12} は共にカットオフしている。トランジスタ Q_2' 、 Q_{13} が共にカットオフしているので、トランジスタ Q_4 、 Q_{15} も共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化するとトランジスタ Q_1 がカットオフし電源 V_{cc} から抵抗 R_1 およびトランジスタ Q_1 のベースコレクタ間回路を介してマルチエミッタトランジスタ Q_2' のベースに電流が流れる。これにより、該トランジスタ Q_2' がオンとなり各エミッタ電位が高レベルとなってトランジスタ Q_{12} および Q_3 が共にオンとなる。また、この時マルチエミッタトランジスタ Q_2' のコレクタ電位が低レベルとなりトランジスタ Q_4 がカットオフする。このトランジスタ Q_4 のカットオフと同時にトランジスタ Q_{12} のコレクタ電位は低レベルとなり、トランジスタ Q_{13} もカットオフする。したがって、出力端子 OUT_1 の電位は低レベルとなる。

れている場合には、双方のTTL回路の出力が共に高レベルあるいは共に低レベルであれば共通の出力端子 OUT の電位がそれぞれ高レベルあるいは低レベルとなることは明らかである。

次に、入力端子 IN_1 の電位が低レベルであって他のTTL回路のインバータトランジスタ Q_3' がオンすなわち出力端子 OUT_2 が低レベルの場合の動作を考察する。この場合には前述のようにマルチエミッタトランジスタ Q_2' がオフとなっておりトランジスタ Q_{12} および Q_3 が共にカットオフ、かつトランジスタ Q_4 およびトランジスタ Q_{13} のベース電位が高レベルとなっている。このため、プルアップ用トランジスタ Q_4 をカットオフするスイッチングトランジスタ Q_{13} がオンとなりトランジスタ Q_4 のベースエミッタ間を短絡しベース電流をバイパスする。これにより、出力端子 OUT_1 の電位が低レベルに保たれると共に電源 V_{cc} から出力端子 OUT_1 に大電流が流れることが防止される。このようにして、第2図のTTL回路はワイヤード論理動作すなわちワイヤードAND動作を行なうこ

これに対して、入力端子 IN_1 が高レベルから低レベルに変化する場合トランジスタ Q_1 がオンとなりトランジスタ Q_2' のベース電位が低レベルに引き下げられて該トランジスタ Q_2' がカットオフする。これにより、マルチエミッタトランジスタ Q_2' の各エミッタの電位が低レベルとなりトランジスタ Q_{12} および Q_3 が共にカットオフする。また、マルチエミッタトランジスタ Q_2' のコレクタが高レベルとなるからトランジスタ Q_4 がオンとなり、トランジスタ Q_3 のコレクタ電位、すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。次にトランジスタ Q_{12} のコレクタ電位がトランジスタ Q_3 のコレクタ電位に追従して高レベルとなるので、トランジスタ Q_{13} がオンとなり、トランジスタ Q_4 をカットオフする。

なお、トランジスタ Q_3 が完全にカットオフ状態になれば、トランジスタ Q_{13} もカットオフ状態となる。

ところで、第2図のTTL回路の出力端子 OUT_1 が他のTTL回路の出力端子 OUT_2 の出力と接続さ

とが可能となる。

第3図は、本発明の他の実施例に係わるTTL回路を示すものであって前述の第6図の従来形の回路を改良したものである。

第3図の回路は第6図の回路における位相反転用トランジスタ Q_2 のコレクタ側にレベルシフトダイオード D_7 を追加し、さらにトランジスタ Q_{13} および抵抗 R_{13} を追加したものである。

レベルシフトダイオード D_7 のカソードは位相反転用トランジスタ Q_2 のコレクタおよびスイッチングトランジスタ Q_{13} のベースに接続されると共に抵抗 R_{13} を介して、電源 V_{cc} に接続されている。レベルシフトダイオード D_7 のアノードはプルアップトランジスタ Q_4 のベースおよびスイッチングトランジスタ Q_{13} のコレクタに接続されると共に抵抗 R_3 を介して電源 V_{cc} に接続されている。スイッチングトランジスタ Q_{13} のエミッタはプルアップトランジスタ Q_4 のエミッタおよびダイオード D_1 のアノードに接続されている。

第3図のTTL回路においては入力端子 IN_1 の電

位が低レベルである場合にはダイオード D_1 がオンとなりトランジスタ Q_1 のベース電位が低レベルであり該トランジスタ Q_1 がカットオフしている。これによりトランジスタ Q_1 のエミッタ電位も低レベルとなっており、トランジスタ Q_1 はカットオフしている。またこのときトランジスタ Q_1 のコレクタ電位およびダイオード D_1 のアノード電位は高レベルとなっているがトランジスタ Q_1 がカットオフのため、出力端子 OUT_1 は高レベルとなっているのでトランジスタ Q_1 およびトランジスタ Q_{13} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化した場合は、ダイオード D_1 がオフとなり電源 V_{CC} から抵抗 R_1 を介してトランジスタ Q_1 のベースに電流が流れる。これにより該トランジスタ Q_1 がオンとなり、トランジスタ Q_1 のベース電位も高レベルとなってトランジスタ Q_1 もオンとなる。またこのときトランジスタ Q_1 のコレクタ電位が低レベルとなり、同時にダイオード D_1 のアノード電位も低レベルとなってトランジスタ

にカットオフとなる。

次に第5図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続してワイヤード論理動作を行なわせる場合につき説明する。両出力端子 OUT_1 、 OUT_2 の電位が同じ場合には共通の出力端子 OUT の電位もこれら各出力端子の電位と同じになる。入力端子 IN_1 が低レベルすなわち、出力端子 OUT_1 が高レベルでありかつ出力端子 OUT_2 が低レベルである場合には前述のようにプルアップ用トランジスタ Q_4 およびスイッチングトランジスタ Q_{13} の各ベース電位は高レベルとなっている。したがって出力端子 OUT_2 の低レベルにより、ダイオード D_1 がオンとなり、トランジスタ Q_1 およびトランジスタ Q_{13} の各エミッタ電位が低レベルとなる。このとき、トランジスタ Q_4 およびトランジスタ Q_{13} が共にオンしようとするが、トランジスタ Q_{13} のオンがトランジスタ Q_4 のベースエミッタ間を短絡するので該トランジスタ Q_4 はカットオフして、トランジスタ Q_{13} がオンとなる。このようにして、出力端子 OUT の電位

Q_4 およびトランジスタ Q_{13} は共にカットオフする。したがって出力端子 OUT_1 の電位は低レベルとなる。

これに対して入力端子 IN_1 が高レベルから低レベルに変化した場合には、ダイオード D_1 がオンとなりトランジスタ Q_1 のベース電位が低レベルに引き下げられて該トランジスタ Q_1 がカットオフする。これによりトランジスタ Q_1 のエミッタ電位が低レベルとなり、トランジスタ Q_1 がカットオフする。またトランジスタ Q_1 のコレクタ電位が高レベルとなり、同時にダイオード D_1 のアノード電位も高レベルとなる、このときダイオード D_1 のアノード電位はトランジスタ Q_1 のコレクタ電位よりも早く高レベルとなるのでトランジスタ Q_4 がオンとなり、トランジスタ Q_{13} はカットオフしている。トランジスタ Q_4 がオンとなることでトランジスタ Q_1 のコレクタ電位すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。

トランジスタ Q_1 が完全にカットオフとなればトランジスタ Q_4 、およびトランジスタ Q_{13} は共

が低レベルに維持され、かつ電源 V_{CC} から出力端子 OUT_1 にトランジスタ Q_4 のオンによる大電流が流れることを防止できる。

第4図は本発明の他の実施例に係わるTTL回路を示すものであって前述の第6図の従来形の回路を改良したものである。

第4図の回路は第6図の回路における位相反転用トランジスタ Q_1 のコレクタ側にダイオード D_1 を追加しさらにトランジスタ Q_{13} および抵抗 R_{13} 、容量 C_1 、 C_2 を追加したものである。

ダイオード D_1 のカソードは位相反転用トランジスタ Q_1 のコレクタおよびプルアップ用トランジスタ Q_4 のベース、さらにスイッチングトランジスタ Q_{13} のコレクタに接続されると共に抵抗 R_2 を介して電源 V_{CC} に接続されている。ダイオード D_1 のアノードはスイッチングトランジスタ Q_{13} のベースに接続されると共に抵抗 R_{13} を介して電源 V_{CC} に接続されている。スイッチングトランジスタ Q_{13} のエミッタおよびダイオード D_1 のアノ

ードに接続されている。容量 C_1 は位相反転用トランジスタのコレクタに接続された浮遊容量及び意図的に挿入する容量である。また容量 C_2 はスイッチングトランジスタ Q_{13} のベースに接続された浮遊容量及び意図的に挿入する容量である。

第4図のTTL回路においては入力端子 IN_1 の電位が低レベルである場合にはダイオード D_1 がオンとなりトランジスタ Q_2 のベース電位が低レベルであり、該トランジスタ Q_2 がカットオフしている。これによりトランジスタ Q_2 のエミッタ電位も低レベルとなってトランジスタ Q_4 はカットオフしている。またこのときトランジスタ Q_2 のコレクタ電位およびダイオード D_1 のアノード電位は高レベルとなっているがトランジスタ Q_4 のカットオフのため、トランジスタ Q_4 およびトランジスタ Q_{13} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化した場合はダイオード D_1 がオフとなり、電源から抵抗 R_1 を介してトランジスタ Q_2 のベースに電流が流れるこれにより該トランジスタ Q_2

の電位よりも速く高レベルとなるように時定数を選んでおくことにより、トランジスタ Q_4 がオンとなり、トランジスタ Q_{13} はカットオフしている。トランジスタ Q_4 がオンとなることでトランジスタ Q_2 のコレクタ電位すなわち出力端子 OUT_1 の電位は急峻に高レベルとなる。

トランジスタ Q_2 が完全にカットオフとなればトランジスタ Q_4 、およびトランジスタ Q_{13} は共にカットオフとなる。

次に第4図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続して、ワイヤード論理動作を行なわせる場合につき説明する。

両出力端子 OUT_1 、 OUT_2 の電位が共に同じ場合には共通の出力端子 OUT の電位も、これら各出力端子の電位と同じになる。入力端子 IN_1 が低レベルすなわち出力端子 OUT_1 が高レベルでありかつ出力端子 OUT_2 が低レベルである場合には、前述のようにプルアップ用トランジスタ Q_4 およびスイッチングトランジスタ Q_{13} の各ベース電位は高レベルとなっている。したがって出力端子 OUT_2

がオンとなり、トランジスタ Q_2 のベース電位も高レベルとなって該トランジスタ Q_2 もオンとなる。またこのときトランジスタ Q_2 のコレクタ電位が低レベルとなり、同時にダイオード D_1 のアノード電位も低レベルとなってトランジスタ Q_4 およびトランジスタ Q_{13} は共にカットオフする。したがって出力端子 OUT_1 の電位は低レベルとなる。

これに対して入力端子 IN_1 が高レベルから低レベルに変化した場合にはダイオード D_1 がオンとなりトランジスタ Q_2 のベースが低レベルに引き下げられて、該トランジスタ Q_2 がカットオフする。これによりトランジスタ Q_2 のエミッタ電位が低レベルとなり、トランジスタ Q_4 がカットオフする。

またトランジスタ Q_2 のコレクタ電位は R_2 、 C_1 の時定数により高レベルとなり、同時にダイオード D_1 のアノード電位は R_{13} 、 C_2 の時定数によって高レベルになる。このときダイオード D_1 のアノード電位はトランジスタ Q_2 のコレク

の低レベルによりダイオード D_1 がオンとなり、トランジスタ Q_4 およびトランジスタ Q_{13} の各エミッタ電位が低レベルとなる。このときトランジスタ Q_4 およびトランジスタ Q_{13} が共にオンしようとするがトランジスタ Q_{13} のオンがトランジスタ Q_4 のベースエミッタ間を短絡するので該トランジスタ Q_4 はカットオフして、トランジスタ Q_{13} がオンとなる。このようにして出力端子 OUT の電位が低レベルに維持され、かつ電源 V_{cc} から出力端子 OUT_1 にトランジスタ Q_4 のオンによる大電流の流れることを防止できる。

第5図は、本発明の他の実施例に係わるTTL回路を示す。同図のTTL回路は第7図の従来形のTTL回路を改良したものであり、第7図の回路にさらにトランジスタ Q_{13} 、ダイオード D_4 、 D_5 を追加したものである。第5図の回路においては、オフパツファ回路のトランジスタ Q_2 のベースはダイオード D_4 を介してトランジスタ Q_4 のコレクタによって駆動される。また、トランジスタ Q_4 のコレクタは新たに設けたトランジスタ Q_{13}

のベースに接続され、該トランジスタ Q_{13} のコレクタはトランジスタ Q_8 のベースに接続され、エミッタはダイオード D_8 を介して出力端子 OUT_1 に接続されている。

第5図のTTL回路において、入力端子 IN_1 の電位が、低レベルにある場合には、トランジスタ Q_8 および Q_7 が共にオフとなり、トランジスタ Q_{10} もオフとなっている。またトランジスタ Q_{10} がカットオフしているため、トランジスタ Q_8 、 Q_9 、 Q_{13} は共にカットオフ状態となっている。

次に入力端子 IN_1 の電位が低レベルから高レベルに変化すると、トランジスタ Q_8 がカットオフするので、電源 V_{cc} から抵抗 R_8 を介してトランジスタ Q_8 のベースに電流が流れる。これにより該トランジスタ Q_8 がオンし、かつトランジスタ Q_7 もオンとなり、 Q_7 のエミッタ電位が高レベルとなって、トランジスタ Q_{10} がオンとなる。またこの時、トランジスタ Q_8 、 Q_7 のコレクタ電位は共に低レベルであるため、トランジスタ Q_9 、 Q_{13} は共にカットオフとなる。したがって

ところで第5図のTTL回路の出力端子 OUT_1 を他のTTL回路の出力端子 OUT_2 と接続して、ワイヤード論理動作を行なわせる場合、双方のTTL回路の出力が共に高レベル、あるいは共に低レベルであれば、共通の出力端子 OUT の電位がそれぞれ高レベル、あるいは低レベルとなることは明らかである。

次に入力端子 IN_1 の電位が低レベルであり、他のTTL回路のインバータトランジスタ Q_{10}' がオンすなわち出力端子 OUT_2 が低レベルの場合について考察する。

この場合、前述のようにオフバッファ回路のトランジスタ Q_8 のベース電位は高レベルである。したがって、オフバッファ回路の各トランジスタ Q_8 、 Q_9 が共にオン状態に移行せんとするが、この時トランジスタ Q_{13} のベース電位も高レベルにあるため、該トランジスタ Q_{13} がオンとなりトランジスタ Q_8 のベース電流をバイパスするため該トランジスタ Q_8 および Q_9 はカットオフされることになる。これにより出力端子 OUT の電位が低

出力端子 OUT_1 の電位は低レベルとなる。

これに対して、入力端子 IN_1 が高レベルから低レベルに変化する場合、トランジスタ Q_8 がオンとなり、トランジスタ Q_8 のベース電位が低レベルに引き下げられて、該トランジスタ Q_8 がカットオフし、かつまた、トランジスタ Q_7 もカットオフする。これにより該トランジスタ Q_7 のエミッタ電位が低レベルとなり、トランジスタ Q_{10} をカットオフさせる。またこの時、トランジスタ Q_8 のコレクタ電位は高レベルとなるため、トランジスタ Q_9 、 Q_{13} がオンとなり出力端子 OUT_1 の電位を高レベルに引き上げる。

次にトランジスタ Q_7 のコレクタ電位が前記トランジスタ Q_8 のコレクタ電位の立ち上がりよりも若干遅れて高レベルとなり、トランジスタ Q_{13} がオンとなり、トランジスタ Q_8 、 Q_9 をカットオフする。

尚、トランジスタ Q_{10} が完全にカットオフ状態となれば、トランジスタ Q_{13} もカットオフ状態となる。

レベルに維持されかつ電源 V_{cc} から出力端子 OUT_1 に大電流が流れることが防止される。

(発明の効果)

以上のように、本発明によれば、複数のTTL回路の出力を互に接続して動作させた場合、1つのTTL回路の出力が低レベルであれば例え他のTTL回路の出力が高レベルになるべき状態にあっても該TTL回路のオフバッファ用トランジスタがカットオフされる。したがって、オフバッファ回路を有するにも係らずワイヤード論理動作が可能となり、かつ出力トランジスタに大電流が流れることが防止され信頼性の高い論理回路を実現することが可能になる。

4. 図面の簡単な説明

第1図は本発明の基本構成を示す概念図、第2図から第5図はそれぞれ本発明の実施例に係わるTTL回路を示す電気回路図、そして第6図および第7図はそれぞれ従来形のTTL回路を示す電気回路図である。

Q_1 、 Q_2 、…、 Q_{13} 、 Q_2' 、 Q_3' 、 Q_{10}' ：トラ

R_1, R_2, \dots, R_{14} : 抵抗、 $C_1, C_2 \dots$ 容量。

第 1 圖

特許出願人

富士通株式会社

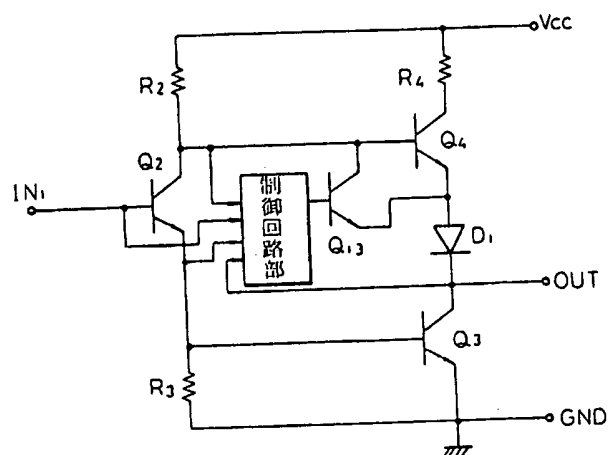
特許出願代理人

并理士 腎 木 朗

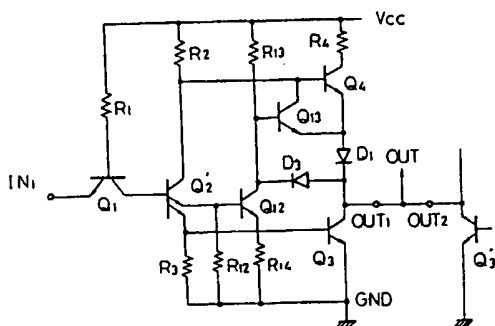
弁理士 西 館 和 之

弁理士 内田 幸 男

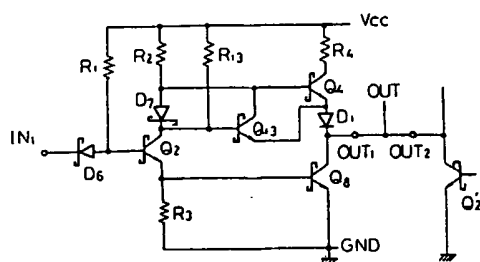
弁理士 山口 昭 之



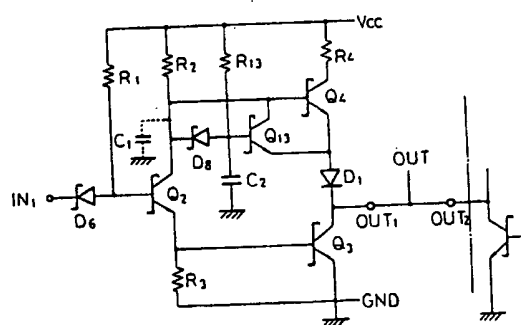
第 2 図



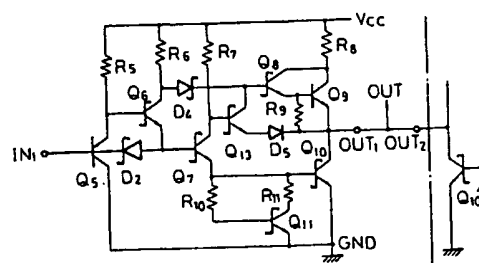
第 3 圖



第 4 圖



第 5 圖



THIS PAGE BLANK (USPTO)